

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000258500 A**

(43) Date of publication of application: **22.09.00**

(51) Int. Cl. **G01R 31/28**
G06F 11/22

(21) Application number: **11061157**

(22) Date of filing: **09.03.99**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **NAKAO NORINOBU**
HATAKEYAMA KAZUMI
HIKONE KAZUFUMI
SHIMAMURA KOTARO

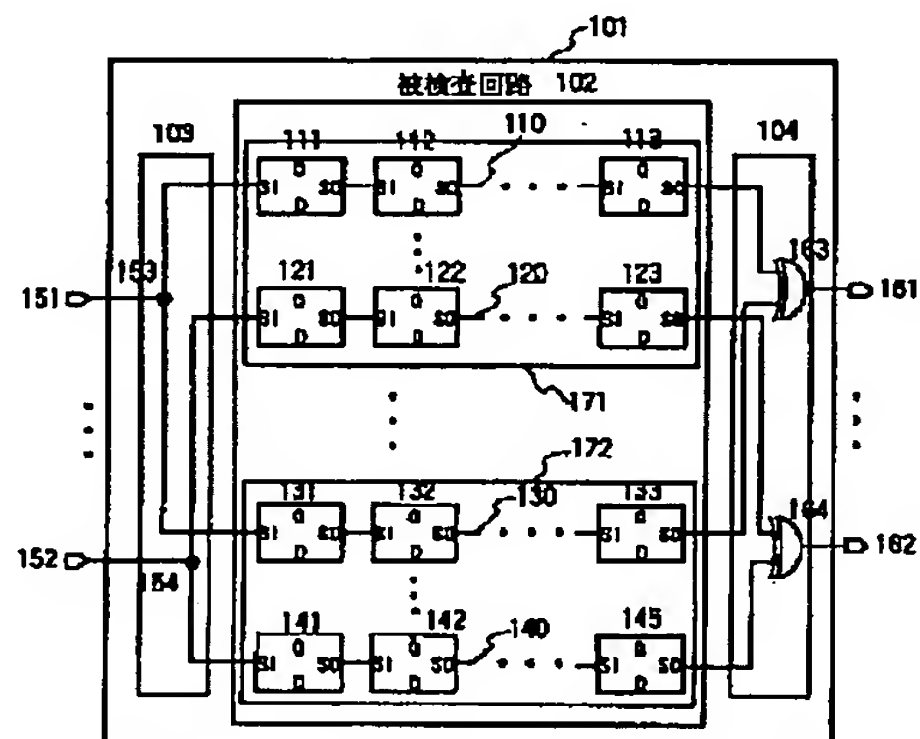
(54) **SEMICONDUCTOR INTEGRATED CIRCUIT AND STORAGE MEDIUM**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit designed in a shift scanning mode and allowing reduction in the amount of test data, the number of scan data input/output terminals, or a test time.

SOLUTION: A semiconductor integrated circuit 101 is designed in a shift scanning mode. In this case, two partial circuits 171, 172 constructed of a plurality of FF with a scanning function 111-113, 131-133 working as shift registers and a scan chain 110 connecting the respective FF with a scanning function to each other are provided, and the partial circuits 171, 172 are connected together in a single branch point 153.

COPYRIGHT: (C)2000,JPO



P-2113

(19)日本国特許庁(JP) (12)公開特許公報(A) (11)特許出願公開番号
特開2000-258500
(P2000-258500A)
(43)公開日 平成12年9月22日(2000.9.22)

(51)IntCl.	識別記号	F I	チーフ・ド(参考)
G 0 1 R 31/28	3 6 0	G 0 1 R 31/28	G 2 G 0 3 2
G 0 6 F 11/22		G 0 6 F 11/22	3 6 0 U 5 B 0 4 8
			9 A 0 0 1

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21)出願番号	特願平11-61157	(71)出願人	00005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地 (72)発明者 中尾 教伸 茨城県日立市大みか町七丁目1番1号 株 式会社日立製作所日立研究所内 (72)発明者 島山 一実 茨城県日立市大みか町七丁目1番1号 株 式会社日立製作所日立研究所内 (74)代理人 100068504 弁理士 小川 勝男
(22)出願日	平成11年3月9日(1998.3.9)		

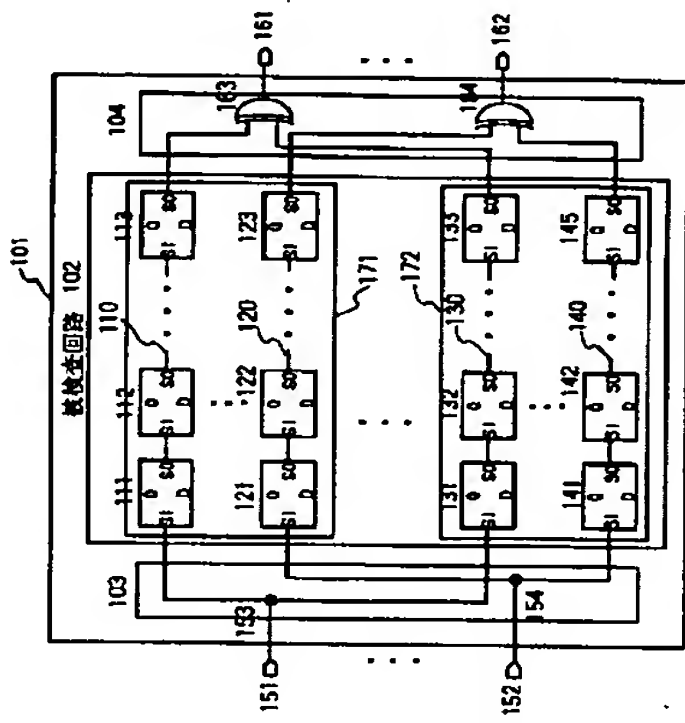
(54)【発明の名称】 半導体集積回路及び記憶媒体

(57)【要約】

【課題】 シフトスキャン方式で設計された半導体集積回路において、テストデータ量を削減し、スキャンデータ入出力端子数あるいはテスト時間を削減可能な半導体集積回路を提供する。

【解決手段】 シフトスキャン方式で設計された半導体集積回路101において、シフトレジスタとして動作する複数のスキャン機能付FF111~113、131~133と、各々のスキャン機能付FFを接続するスキャンチェーン110からなる2つの部分回路171、172を有し、その部分回路171、172は、1つの分岐点153にて結線されている。

図 1



最終頁に続く

(2) 特開平12-258500

【特許請求の範囲】

【請求項1】 シフトスキャン方式で設計された半導体集積回路において、

シフトレジスタとして動作する複数のフリップフロップ回路を有するスキャンチェーンを少なくとも2つ有し、少なくとも2つの前記スキャンチェーンは、1つの入力端子にて結線されている半導体集積回路。

【請求項2】 請求項1の半導体集積回路において、前記スキャンチェーンの組を変更する結線変更回路を有する半導体集積回路。

【請求項3】 シフトスキャン方式で設計された半導体集積回路において、

シフトレジスタとして動作する複数のフリップフロップ回路を有する少なくとも2つのスキャンチェーンと、前記少なくとも2つのスキャンチェーン回路を入力とし、1つの出力端子に接続する符号圧縮回路とを有する半導体集積回路。

【請求項4】 請求項1、2、3の少なくとも1つの半導体集積回路において、

1つの入力端子にて結線する前記スキャンチェーン回路の組について、各々のスキャンチェーンに含まれる前記フリップフロップ回路から組合せ回路的に信号を伝播できる領域が互いに交わらない半導体集積回路。

【請求項5】 シフトスキャン方式で設計された半導体集積回路において、

組合せ回路的に独立に動作する少なくとも2つの部分回路があり、テスト時にシフトレジスタとして動作する複数のフリップフロップ回路を有するスキャンチェーンの各々が少なくとも1つの部分回路内に含まれており、前記スキャンチェーンの少なくとも2つが結線変更回路を通過し、1つの入力端子に接続し、前記スキャンチェーンの少なくとも2つが符号圧縮回路を通過し、1つの出力端子に接続する半導体集積回路。

【請求項6】 請求項5の半導体集積回路において、前記組合せ回路的に独立に動作する少なくとも2つの部分回路が同一の回路であり、前記少なくとも2つの部分回路で前記フリップフロップ回路が対応するように前記スキャンチェーンが構成される半導体集積回路。

【請求項7】 請求項1~6の少なくとも1つの半導体集積回路において、

前記少なくとも2つのスキャンチェーンを結線する結線変更回路への入力に接続されたパターン発生回路と、前記少なくとも2つのスキャンチェーンが接続する符号圧縮回路の出力に接続されたパターン圧縮器とを有する半導体集積回路。

【請求項8】 シフトレジスタとして動作する複数のフリップフロップ回路を有する少なくとも2つのスキャンチェーンからなる部分回路を複数有し、

1つの前記部分回路に対して未検出の仮定故障に対しテストパターンを生成する第一のステップと、

前記部分回路の全てに対して、生成したテストパターンの故障シミュレーションを行う第一のステップを有し、前記部分回路の全てに対して前記第一のステップを実行するまで前記第一のステップ及び前記第二のステップを繰り返すテストパターン生成工程が記憶された記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、シフトスキャン方式で設計されたテスト回路を有する半導体集積回路及び記憶媒体に関する。

【0002】

【従来の技術】 半導体集積回路のテストを容易にする技術として、全てのフリップフロップ（以下、FFと略す）に値を設定及び読み出しを可能とする回路を付加するスキャン方式がある。スキャン方式により、内部状態をもつためにテストパターン生成の難しい順序回路を、内部状態をもたない組合せ回路として扱うことができ、スキャン方式は、シフトレジスタを用いてチェーン状に接続されたFFに次々と値を設定、読み出しをするシフトスキャン方式と、各FFに固有のアドレスを決めておき、このアドレスにより選択されたFFに値を設定、読み出しするアドレススキャン方式に大別される。一般に、シフトスキャン方式の方が単純な回路で設計可能であるが、アドレススキャン方式では、必要なFFの値のみ設定、読み出しが可能である。

【0003】 シフトスキャン方式では、チェーン状に接続されたFF群（以下、スキャンチェーンと呼ぶ）の部のFFのみ値を設定、読み出しする場合でも、シフトレジスタとして動作するためスキャンチェーンに含まれる全FFの値を設定、読み出しする場合と同じになる。このため、シフトスキャン方式では、テストに必要なデータ量（テストデータ量）が大きい、テストに要する時間（テスト時間）がかかるといった問題があった。これに対する改良策として、特開平9-5403号の「半導体集積回路」がある。これは、スキャンチェーンに含まれるFFを複数の群に分割し、夫々の群を選択的にバイパスするために分割した場所にバイパス用セレクタ回路を挿入し、バイパスされた群に属するFFを作動させないよう制御する回路を挿入する。これにより、FFに不必要な値を設定する必要が減るため、テストデータ量やテスト時間を削減できる。

【0004】

【発明が解決しようとする課題】 一般に、シフトスキャン方式では、上記に述べたように、テストデータ量が大きい、テストに要する時間がかかるといった問題がある。これを回避する案である。特開平9-5403号の「半導体集積回路」では、バイパスするための信号線や制御回路による回路面積のオーバーヘッドが大きいという問題がある。

【0005】本発明の目的は上記問題点に鑑み、シフトスキャン方式におけるデストデータ量やデスト時間を削減し、回路面積のオーバーヘッドを抑えた半導体集積回路を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するため本発明は、シフトスキャン方式で設計された半導体集積回路において、シフトレジスタとして動作する複数のフリップフロップ回路と、各フリップフロップ回路の出力を接続するスキャンチェーンからなる少なくとも2つの部分回路を有し、前記少なくとも2つの部分回路は、1つの入力端子にて接続されている構成とする。

【0007】このように2つ以上の部分回路への入力のための入力端子を共用することにより、端子数が削減でき、また、入力するデストデータ量が削減できるので、回路面積のオーバーヘッドを抑えた半導体集積回路を提供できる。

【0008】

【発明の実施の形態】図1に、本発明の一実施例に係わる半導体集積回路の構成を示す。本半導体集積回路101は、被検査回路102と、スキャンデータ入力端子151、152と、スキャンデータ出力端子161、162と、結線変更回路103と、符号圧縮回路104とから構成される。被検査回路102は、複数のスキャンチェーン110、120、130、140をもち、それぞれ、スキャン機能付F111～113、121～123、131～133、141～143がスキャンデータの入力、出力が可能のように接続されている。なお、被検査回路102は組合せ回路的に独立した部分回路171、172をもち、スキャンチェーン110、120は部分回路171に、スキャンチェーン130、140は部分回路172に属する。結線変更回路103は、スキャンデータ入力端子151が分岐点153でスキャンチェーン110と130に分岐し、スキャンデータ入力端子152が分岐点154でスキャンチェーン120と140に分岐する。符号圧縮回路104は、スキャンチェーン110と130の排他的論理和を排他的論理和回路163にてとりスキャンデータ出力端子161に出力し、スキャンチェーン120と140の排他的論理和を排他的論理和回路164にてとりスキャンデータ出力端子162に出力する。

【0009】尚、スキャンチェーン110は、スキャン機能付きF111～113、及びそれらのスキャンアウトピン(SO)とスキャンインピン(SI)を接続する信号線、及びスキャン入力端子151と、最初のスキャン機能付きF111に接続する信号線、及びスキャン出力端子161と、最後のスキャン機能付きF113から接続する信号線から構成される部分回路をいいます。このスキャンチェーンは、スキャン機能付きF1群に入力するクロックを制御する(図2のスキャン機能

付きF1の例では、図5の時刻1、2のように、シフトクロックを0に固定してマスタークロックとスレーブクロックに交互に1を与える)ことにより、シフトレジスタとして動作します。スキャンチェーン120、130、140も同様です。

【0010】ここで、スキャン機能付Fの構成例とその動作について、図2を用いて説明する。

【0011】スキャン機能付F201は、マスターフ202とスレーブF203の2つのFから構成される。マスターフ202は、スキャンインピン(SI)211、データ入力ピン(D)212、シフトクロックピン(CK)213、マスタークロックピン(MC)214を入力とし、状態をスレーブF203への信号線216に出力する。状態の値は、CK=1、MC=0のときDの値、CK=0、MC=1のときSIの値、CK=0、MC=0のとき前の状態の値、CK=1、MC=1のとき不定とする。スレーブF203は、マスターフ202への信号線216、スレーブクロックピン(SC)215を入力とし、状態をスキャンアウトピン(SO)217とF出力ピン(Q)218に出力する。状態の値は、SC=1のとき信号線216の値、SC=0のとき前の状態の値とする。なお、図1におけるスキャン機能付F111～113、121～123、131～133、141～143の夫々はスキャン機能付F201と同じであり、クロック関連ピン(CK、MC、SC)は省略している。

【0012】スキャン機能付F201の動作について説明する。通常動作時には、MC=0、SC=1に固定することにより、シフトクロックピン(CK)213、データ入力ピン(D)212のFとして動作する。デスト時には、シフトレジスタの1つのFとして動作するために、マスタークロック(MC)入力によりスキャンデータ入力端子の値をマスターフ202へ取り込み、スレーブクロック(SC)入力によりマスターフ202の状態をスレーブF203へ値を取り込む。そしてその値をスキャンアウトピン(SO)217及びF出力ピン(Q)218に出力する。また、組合せ回路による応答パターンの取り込みでは、シフトクロックピン(CK)213入力によりデータ入力ピン(D)212の値をマスターフ202へ取り込み、スレーブクロックピン(SC)215入力によりマスターフ202の状態をスレーブF203へ値を取り込む。

【0013】図1の実施例における、デスト時の動作の概略を説明する。まず、デストパターン設定のために、スキャンデータ入力端子151、152への信号印加、マスタークロックピン(MC)214入力、スレーブクロックピン(SC)215入力の処理をスキャンチェーンの長さ分繰り返す。この結果、スキャンデータ入力端子151から入力された信号列が、結線変更回路103

により複数のスキャンチェーンに分配され、スキャンチェーン110に含まれるスキャン機能付F111～113とスキャンチェーン130に含まれるスキャン機能付F131～133に設定される。スキャンチェーン110、130で対応するスキャン機能付F(例えば111と131)には同じ値が設定される。スキャンデータ入力端子152から入力された信号列についても同様

に、スキャンチェーン120に含まれるスキャン機能付F121～123とスキャンチェーン140に含まれるスキャン機能付F141～143に設定される。デストパターンを全スキャン機能付Fに設定した後、シフトクロックピン(CK)213とスレーブクロックピン(SC)215入力の処理をスキャンチェーンの長さ分繰り返す。応答パターンを符号圧縮回路104により複数のスキャンチェーンの値を圧縮した後、順次スキャンデータ出力端子161、162に出力する。スキャンチェーン110、130は排他的論理和ゲート163を逆のため、スキャンデータ出力端子161には対応するスキャン機能付F(例えば111と131)で取り込まれた値の排他的論理和が出力される。以上の処理をデストパターンの数ほど繰り返す。

【0014】デスト時の動作の具体的な例を図4(1)、図5を用いて説明する。

【0015】図4(1)は、図1の実施例において、スキャンチェーン数を4、スキャンチェーンの長さを2とした例で、組合せ回路部分450がわかるように図を変更している。被検査回路102は、4本のスキャンチェーン410、420、430、440をもち、それぞれ、2つのスキャン機能付F411と412、421と422、431と432、441と442をもつ。450は被検査回路102の組合せ回路部分で、その出力である信号線413、414、423、424、433、434、443、444はそれぞれ、スキャン機能付F411、412、421、422、431、432、441、442のデータ入力ピン(D)212に接続するとする。結線変更回路103は、スキャンデータ入力端子151からの信号線がスキャンチェーン410と430に分岐し、スキャンデータ入力端子152からの信号線がスキャンチェーン420と440に分岐する。そのため、同じスキャンデータ入力端子から入力されるスキャンチェーンで対応するスキャン機能付F、すなわち、411と431、412と432、421と441、422と442に同じ値を設定する。符号圧縮回路104は、スキャンチェーン410と430の排他的論理和とスキャンチェーン420と440の排他的論理和をとりスキャンチェーン420と440の排他的論理和をとりスキャン

データ出力端子161に出力する。なお、スキャンチェーン410、420の含まれる部分回路と、スキャンチェーン430、440の含まれる部分回路は独立に動作するとする。

【0016】図5は、図4(1)の回路における、デスト時のタイムチャートの例である。デストパターンとして、スキャン機能付Fの組(411、412、421、422、431、432、441、442)に対し、(a11、a12、b11、b12、X、X、X、X)と(X、X、X、X、a21、a22、b21、b22)の2つのパターンを与えたとする。なお、a11、a12、b11、b12、a21、a22、b21、b22は0または1のいずれかの論理値、Xは不定値(0でも1でもよい)を表す。第1のパターンはスキャンチェーン410、420の含まれる部分回路内の仮定故障に対するものであり、第2のパターンはスキャンチェーン430、440の含まれる部分回路内の仮定故障に対するものである。図5の中で、1行目は時刻を表し、CK、MC、SCは、それぞれ、図2で示したスキャン機能付F下のシフトクロックピン213、マスタークロックピン214、スレーブクロックピン215への入力信号の波形である。1列目の項目で151、152はスキャンデータ入力端子へ印加する値、411、412、421、422、431、432、441、442は、スキャン機能付Fの出力値(図2のQ及びSO)、161、162はスキャンデータ出力端子の出力値である。まず、1～3時刻目で第1のデストパターンをスキャン機能付Fに設定する。スキャンデータ入力端子151へ信号値a12、a11、スキャンデータ入力端子152へ信号値b12、b11を印加し、マスタークロック(MC)入力、スレーブクロック(SC)入力の処理を2回繰り返す。この結果、信号値a12、a11がスキャンチェーン410及び430をシフトし、スキャン機能付F112と432に信号値a12が設定され、スキャン機能付F411と431に信号値a11が設定される。また、信号値b12、b11がスキャンチェーン420及び440をシフトし、スキャン機能付F422と442に信号値b12が設定され、スキャン機能付F421と441に信号値b11が設定される。デストパターンを全スキャン機能付Fに設定した後、シフトクロック(CK)及びスレーブクロック(SC)を入力して、組合せ回路で計算された応答パターンの信号値(p11、p12、q11、q12、r11、r12、s11、s12)とを各スキャン機能付Fデータ入力ピン(D)から取り込む。4、5時刻目が第1の応答パターン取り出しで、マスタークロック(MC)入力、スレーブクロック(SC)入力により、応答パターンをシフトする。符号圧縮回路104によりp12とr12、q12とs12、p11とr11、q11とs11の排他的論理和を計算した後、スキャンデータ出力端子161、1

6 2に出力する。第2のパターンについても同様で、4〜6時刻目がパターン設定（第1の応答パターン取り出しと重なっている）、7、8時刻目が応答パターン取り出しである。

【0017】上記の実施例における、テストパターン生成処理の方法を図6を用いて説明する。図1のようにな、被検査回路102は組合せ回路的に独立な部分回路に分割可能で、各部分回路に1Dとして1からの通し番号を与えておく。まず、ステップ601で、部分回路の1Dであるnを1に初期化する。ステップ602で、部分回路n内の未検出の仮定故障に対してテストパターンを生成する。ステップ603で部分回路の1Dであるnを1増加させる。ステップ604で、部分回路nに対して、既に生成しているパターンの故障シミュレーションを行う。ステップ605で、nが部分回路数でなかつたら、ステップ602に戻って、部分回路n内の未検出の仮定故障に対しテストパターン生成を行う。

【0018】なお、図1、図4(1)のように、組合せ回路的に独立な部分回路間でスキューチェンを用いる場合は、それを共用しない場合に比べて、単一縮退故障モデルにおける故障検出率の低下はない。理由は信号を設定する能力、信号を観測する能力が変わらないためである。前者について、1つの仮定故障に対するテストパターンはそれの属する部分回路内のスキュー機能付FFのみを設定すればよく、スキューデータ入力端子151、152により可能である。後者について、例えばスキュー機能付FF111と131の応答パターンの値が圧縮されるが、故障は組合せ回路的に独立な部分回路171と172のいずれか一方にしか存在しないと仮定しているため、スキュー機能付FF111と131の両方に故障信号が伝わって排他的論理和ゲート163により故障信号が消失するということは生じない。

【0019】この実施例では、スキューチェンのスキューデータ入力端子を共用しているため、1つのテストパターンについて、全スキュー機能付FFの値設定に必要なスキューデータ入力端子より入力する値の総数（テストデータ量と呼ぶ）は、全スキュー機能付FFの数より削減できる。特定の仮定故障の集合を検出するテストパターンの集合に対するテストデータ量を削減しても、本実施例はスキューチェンを用いない従来のシフトスキャン方式と比べて、多くの場合削減できる。理由は、本実施例によるテストデータ量の上限は、従来シフトスキャン方式で1つのテストパターンに独立な部分回路毎に故障を検出するテストパターンを埋め込んだ場合（2の場合テストパターン長は従来シフトスキャン方式の方が小さい）であるためで、本実施例は部分回路毎に故障を検出するテストパターン同士で共通なものがあれば、さらにテストデータ量を削減できる。

【0020】さらに、スキューデータ入力に必要な端子数とテスト時間に関して述べる。従来シフトスキャン

方式と比べてスキューチェンの長さを同じにすると、テスト時間は変わらないが、本実施例のようにスキューチェンの入出力を共用することでスキューデータ入出力に必要な端子数を削減できる。本実施例で、従来シフトスキャン方式とスキューデータ入出力に必要な端子数を同じにすると、スキューチェンの長さを削減できるため、テスト時間を削減できる。これは、1つのテストパターンあたりのマスタクロック入力とスレーブクロック入力の繰り返し数を減らし、スキューデータ入出力に要する時間を削減できるためである。このように、本実施例によれば、シフトスキャン方式において、組合せ回路的に独立な部分回路に含まれるスキューチェン間でスキューデータ入出力端子を共用することにより、故障検出率を落とさずにテストデータ量を削減できる。また、その端子数の削減、あるいはテスト時間の短縮という効果がある。

【0021】なお、本実施例で、スキューデータ入出力端子を共用する条件である、組合せ回路的に独立な部分回路内のスキューチェンという条件をはずしても、テストデータ量の削減、また、スキューデータ入出力端子数の削減あるいはテスト時間の短縮という効果は得られる。ただし、故障検出率低下の可能性があることを覚悟しなければならない。この故障検出率低下の問題を回避あるいは緩和する方法を述べる。

【0022】例えば、図3(1)のように、結線変更回路103を改良する方法である。スキューデータ入力端子に接続する311、312を信号線314〜317に結線する回路で、Phase信号313の値によって、結線方法を変える。Phase=0のとき、セレクト321は信号線312の値を信号線315に出力し、セレクト322は信号線311の値を信号線316に出力するため、信号線311が信号線314、316に結線され信号線312が信号線315、317に結線される。Phase=1のとき、セレクト321は信号線311の値を信号線315に出力し、セレクト322は信号線312の値を信号線316に出力するため、信号線311が信号線314、316に出力するため、信号線311が信号線314、315に結線され信号線312が信号線316、317に結線される。この結果、全スキュー機能付FFに設定できる値の組合せを図1の結線変更回路103に比べて2倍にでき、テストパターンにおける同じ値しか設定できないスキュー機能付FF間の条件を緩和できる。

【0023】また、符号圧縮回路104については、図3(2)に示すような線形フィードバックシフトレジスタを用いることで、スキューチェン間の依存関係により故障信号が消失する問題を回避できる。FF336〜339はシフトレジスタとして動作し、信号線351、352はフィードバックループを作る。スキューチェンから入力される値は、信号線331〜335を通り排他的論理和ゲート341〜346に人力し、線形フィードバックシフトレジスタにより圧縮される。信号線347は

線形フィードバックシフトレジスタの初期化のために用意され、信号線346は線形フィードバックシフトレジスタのパターンを取り出すために用いる。詳しい動作は、IEEE Design and Test of Computers(1993年3月79頁〜81頁)などに記載されている。

【0024】次に、スキューデータ入出力端子を共用する条件を、組合せ回路的に独立な部分回路内のスキューチェンという条件から、組合せ回路的に信号を伝播できる領域を用いた条件に緩めても、故障検出率を低下せない例を示す。

【0025】図4(2)(3)は、図4(1)における半導体集積回路の組合せ回路部分450について、スキュー機能付FFから信号が伝播する領域を示した図である。図4(2)は、同一のスキューチェン毎に、スキュー機能付FF411、412、421、422、431、432、441、442のFF出力ピン(Q)から信号が組合せ回路的に伝播する領域を示している。すなわち、スキュー機能付FF411、412は領域451、452を伝播し、信号線413、414、423のいずれかに到達する。同様に、スキュー機能付FF421、422は領域453、454を伝播し、スキュー機能付FF431、432は領域454、455、456を伝播し、スキュー機能付FF441、442は領域456、457を伝播する。したがって、スキューチェン410と430は、組合せ回路的に信号を伝播できる領域（ハッチ部分）がお互いに交わらないので、スキュー機能付FFに信号を設定する能力はかわらない。同様にスキューチェン420と440についてもスキュー機能付FFに信号を設定する能力はかわらない。

【0026】一方、図4(3)は、同一のスキューチェン毎に、信号線413、414、423、424、433、434、443、444のデータ入力ピン(D)へ信号が組合せ回路的に伝播する領域を示している。すなわち、スキュー機能付FF411、412は領域461、462を伝播し、信号線413、414、423のいずれかに到達する。同様に、スキュー機能付FF421、422は領域462、463、464を伝播し、スキュー機能付FF431、432は領域464、465、466を伝播し、スキュー機能付FF441、442は領域466、467を伝播する。したがって、スキューチェン410と430は、組合せ回路的に信号を伝播できる領域（ハッチ部分）がお互いに交わらないので、スキュー機能付FFで信号を観測する能力はかわらない。同様にスキューチェン420と440についてもスキュー機能付FFで信号を観測する能力はかわらない。

【0027】このように、本実施例によれば、シフトスキャン方式において、組合せ回路的に信号を伝播できる領域が互いに交わらないスキューチェン間でスキューデータ入出力端子を共用することにより、故障検出率を落とさずにテストデータ量を削減できる。また、その端

子数の削減、あるいはテスト時間の短縮という効果がある。

【0028】最後の実施例では、BIST（組み込み自己テスト）方式を用いた半導体集積回路に対して、パターン発生器721から被検査回路102へ信号線を共用し、被検査回路102からパターン圧縮器741への信号線を共用したもので図7に示す。

【0029】被検査回路102、結線変更回路103、符号圧縮回路104は図1と同様である。セレクト701によって、パターン印加モードとBISTモードを分ける。パターン印加モードのとき、スキューデータ入力端子711、712から印加された信号は、信号線715、716に伝播し、結線変更回路103にて分岐後スキューチェンに設定され、出力されたデータは、それぞれ符号圧縮回路104にて排他的論理和されてスキューデータ出力端子733、734から出力される。一方、BISTモードのとき、パターン発生器721により発生された信号713、714は、信号線715、716に伝播し、結線変更回路103にて分岐後スキューチェンに設定され、排他的論理和ゲート735、736でパターン圧縮器741により圧縮され、パターン圧縮後出力される。尚、パターン発生器は、予め発生させるパターンを設定しておいてもいいし、ランダム的にパターンを発生させてもいい。また、テストされる被試験体である論理回路のテストは、そのパターン発生器721から発生させるパターンと、被検査回路102から出力されたパターンとを比較して、その論理回路が故障しているかどうか等の検査を行う。

【0030】このように、本実施例によれば、BISTを用いたシフトスキャン方式において、組合せ回路的に独立な部分回路に含まれるスキューチェン間でスキューデータ入出力を共用することにより、パターン発生器やパターン圧縮器を共用することになり、ゲート数や配線の物量を削減できるという効果がある。

【0031】更に、上記各実施例は、回路的なハードウェアの半導体集積回路について述べたが、本発明は、これらの機能を有するソフトウェアでも適応できるものである。

【0032】上記ソフトウェアの本実施例としては、CD-ROM等の記憶媒体に実施例の機能を有する回路制御プログラムを記憶することで、このソフトウェアの製作企業外の方々や、ユーザ自身が集積回路、またはその中の論理回路等の試験を容易に実行できる効果がある。

【0033】
【発明の効果】本発明によれば、シフトスキャン方式におけるテストデータ量やテスト時間を削減し、回路面積のオーバーヘッドを抑えた半導体集積回路を提供できる。

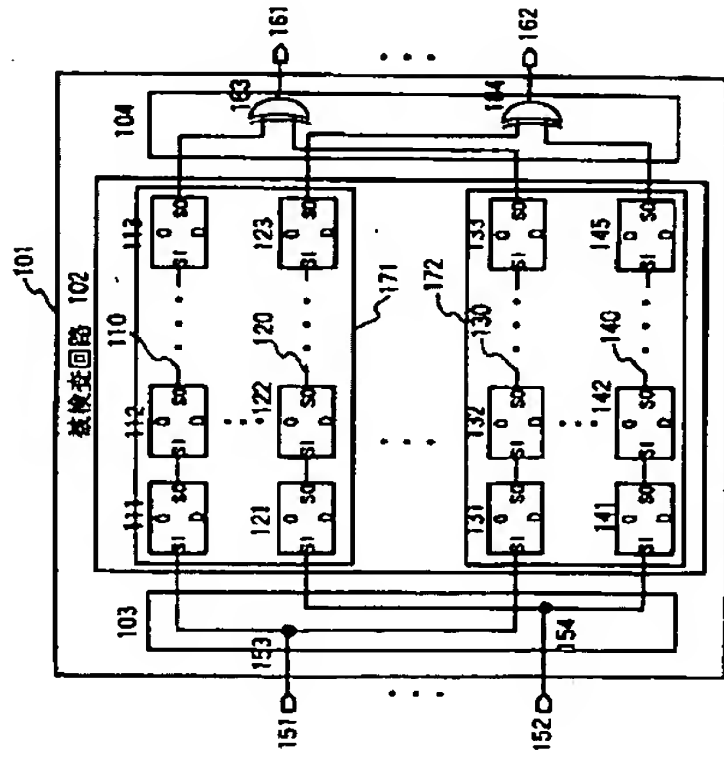
【図面の簡単な説明】
【図1】本発明に係る半導体集積回路の一実施例を示す

図である。
【図2】本発明のスキャン機能付FF回路の一例を示す図である。
【図3】本発明の結線変更回路(1)及び符号圧縮回路(2)の実施例を示す図である。
【図4】本発明のスキャンチェーンの信号伝播領域を説明する図である。
【図5】本発明に係る半導体集積回路のタイミングチャートを示す図である。
【図6】本発明に係るテストパターン生成のフローチャートを示す図である。
【図7】本発明に係る半導体集積回路のBIST回路の一例を示す図である。

【符号の説明】
101…半導体集積回路、102…被検査回路、103…結線変更回路、104…符号圧縮回路、110、120、130、140、410、420、430、440…スキャンチェーン、111~113、121~123、131~133、141~145、411、412、421、422、431、432、441、442

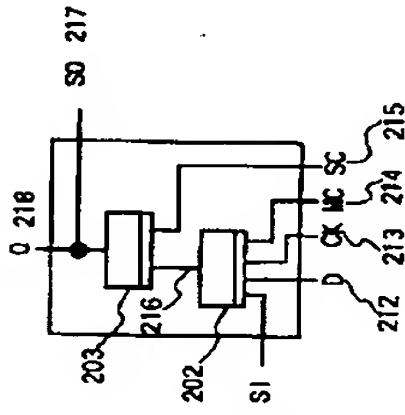
【図1】

図1



【図2】

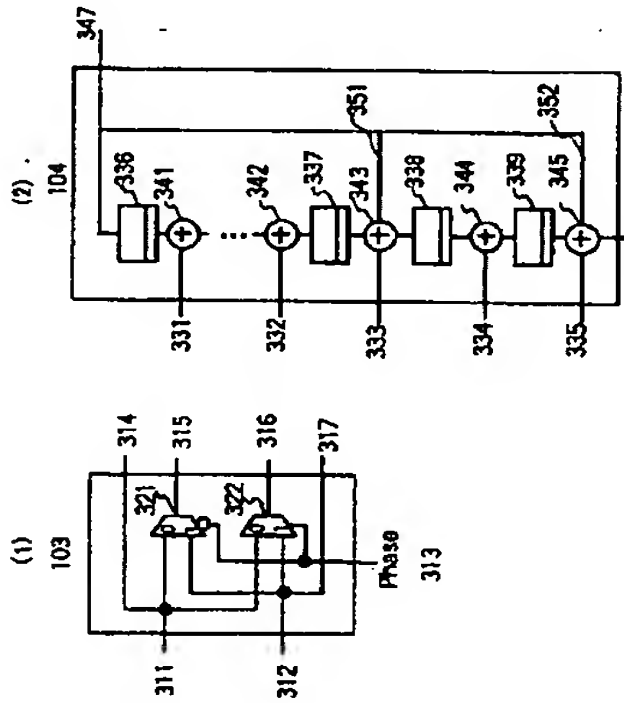
図2



…スキャン機能付FF、151、152、711、712…分岐点、161、162、733、734…スキャンデータ出力端子、163、164、341~345、735、736…排他的論理和ゲート、171、172…部分回路、202…マスタFF、203…スレーブFF、211…スキャンインピン(SI)、212…データ入力ピン(D)、213…システムクロックピン(MC)、214…スレーブクロックピン(SC)、215、311、312、314~317、331~335、347、351、352、52、413、414、423、424、433、434、443、444、715、716…信号線、217…スキャンアウトピン(SO)、218…FF出力ピン(Q)、313…Phase信号、321、322…セレクト、336~339…FF、450…組合せ回路部分、451~457、461~467…領域、713、714、731、732…信号、721…パターン発生器、741…パターン圧縮器。

【図3】

図3

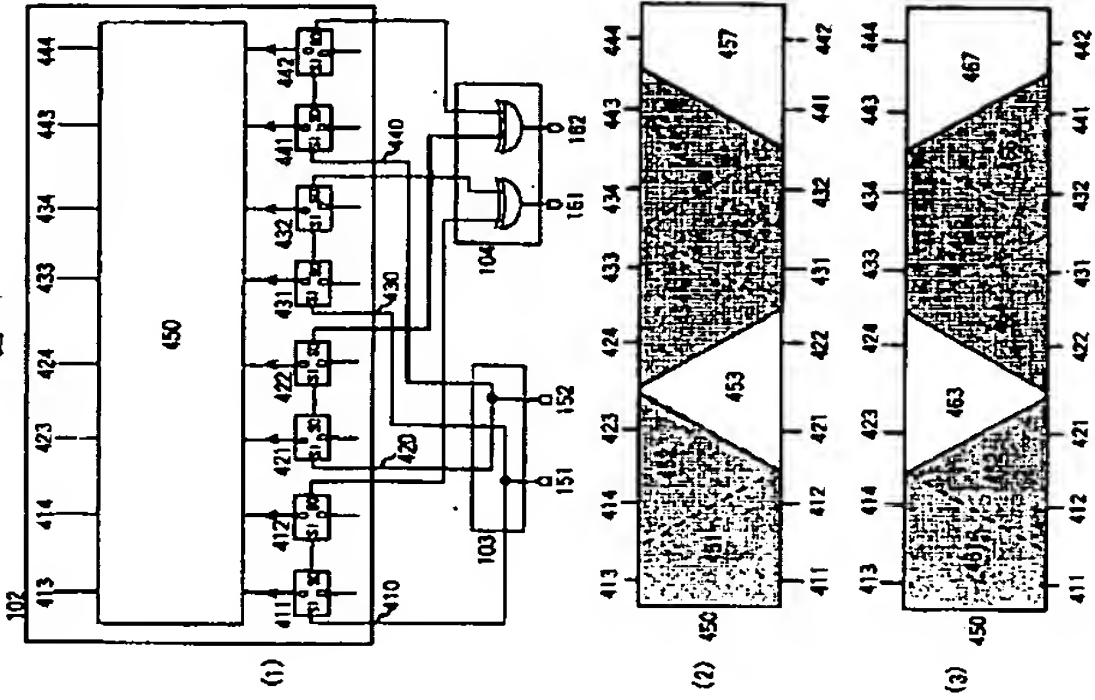


【図4】

図4

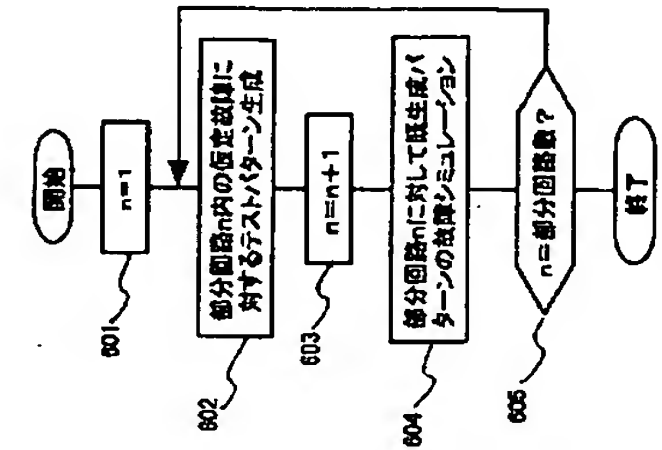
【図5】

図5



【図6】

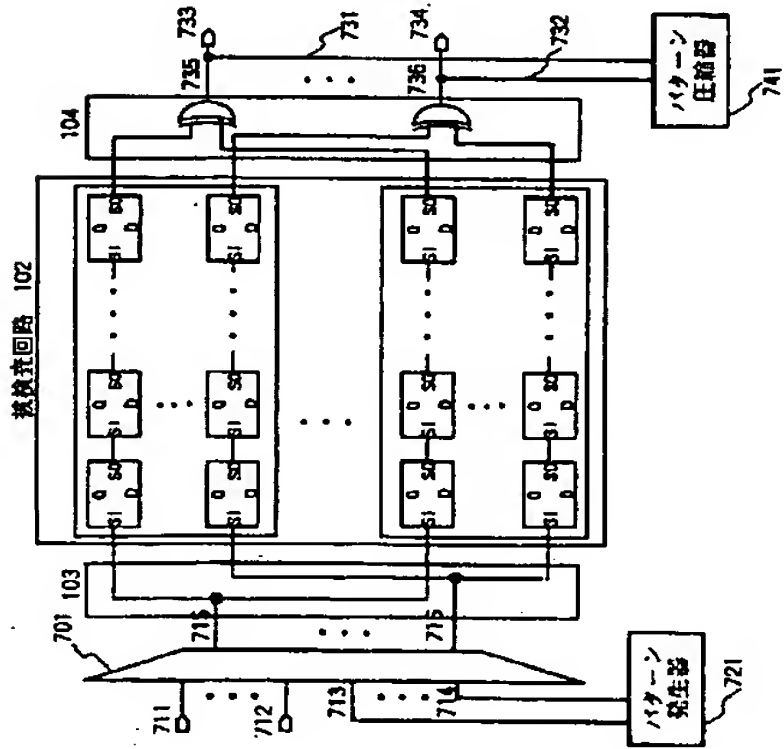
図6



	1	2	3	4	5	6	7	8
CK								
MC								
SC								
151	a12	a11	X	a22	a21	X	X	X
152	b12	b21	X	b22	b21	X	X	X
411	X	a12	a11	a12	a11	a22	a21	p21
412	X	X	a12	p12	p11	a22	p22	p21
421	X	b12	b11	q11	q12	b22	q21	X
422	X	X	b12	q12	q11	b22	q22	q21
431	X	a12	a11	r11	a22	a21	r21	X
432	X	X	a12	r12	r11	a22	r22	r21
441	X	b12	b11	a11	b22	b21	a21	X
442	X	X	b12	a12	a11	b22	a22	a21
161	X	X	X	p12+a12	p11+r11	X	p22+a22	p21+r21
162	X	X	X	q12+a12	q11+r11	X	q22+a22	q21+r21

【図 7】

図 7



フロントページの続き

(72)発明者 彦根 和文
茨城県日立市大みか町七丁目１番１号 株
式会社日立製作所日立研究所内

(72)発明者 島村 光太郎
茨城県日立市大みか町七丁目１番１号 株
式会社日立製作所日立研究所内

Fターム(参考) 2G032 AA04 AC10 AK15 AK16
5B048 AA20 CC20 DD05 DD16
9A001 BB05 LZ05